

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-078023
 (43)Date of publication of application : 14.03.2003

(51)Int.Cl. H01L 21/822
 G06K 19/07
 G06K 19/077
 H01L 23/12
 H01L 27/04

(21)Application number : 2002-165858 (71)Applicant : HITACHI MAXELL LTD
 (22)Date of filing : 01.06.2001 (72)Inventor : KIKUCHI YUJI
 KISHIMOTO SEIJI
 NAKAGAWA KAZUNARI
 HINO YOSHIHARU

(30)Priority

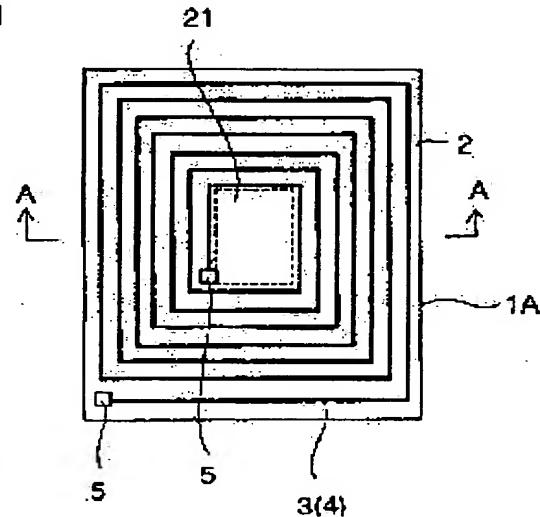
Priority number : 2000186409 Priority date : 21.06.2000 Priority country : JP

(54) SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip incorporating a rewired layer where malfunction and deterioration of communication characteristics due to noise are difficult to occur, and to provide a semiconductor device whose communication characteristics are satisfactory.

SOLUTION: The rewired layer 3 is formed on a circuit forming face 1a through an insulating layer 2, and an antenna coil 4 is formed with the rewired layer 3. The antenna coil 4 is formed at the peripheral part of an analog circuit 21 formed on the circuit forming face 1a by avoiding the analog circuit. The analog circuit 21 can be obtained by integrating all the analog circuits which are to be formed on the semiconductor chip 1A. Or, it can be a power source circuit, an operational amplifier, a comparator amplifier, an RF receiver, an RF transmitter, an RF synthesizer and one of analog circuits which are especially affected by noise such as a voltage booster circuit, and an amplifier circuit which constitute a part of a memory part. Or, it can be a coil disposed in a part of the analog circuit formed on the semiconductor chip 1A.



LEGAL STATUS

[Date of request for examination] 06.06.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3377787

[Date of registration] 06.12.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-78023

(P2003-78023A)

(43)公開日 平成15年3月14日 (2003.3.14)

(51)Int.Cl. ⁷	識別記号	F I	マーク(参考)
H 01 L 21/822		H 01 L 23/12	5 0 1 P 5 B 0 3 5
G 06 K 19/07		27/04	A 5 F 0 3 8
19/077			L
H 01 L 23/12	5 0 1	G 06 K 19/00	K
27/04			M

審査請求 有 請求項の数9 O.L (全14頁)

(21)出願番号	特願2002-165858(P2002-165858)
(62)分割の表示	特願2001-167022(P2001-167022)の分割
(22)出願日	平成13年6月1日(2001.6.1)
(31)優先権主張番号	特願2000-186409(P2000-186409)
(32)優先日	平成12年6月21日(2000.6.21)
(33)優先権主張国	日本 (JP)

(71)出願人	000005810 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号
(72)発明者	菊地 裕二 大阪府茨木市丑寅一丁目1番88号 日立マクセル株式会社内
(72)発明者	岸本 清治 大阪府茨木市丑寅一丁目1番88号 日立マクセル株式会社内
(74)代理人	100078134 弁理士 武 順次郎

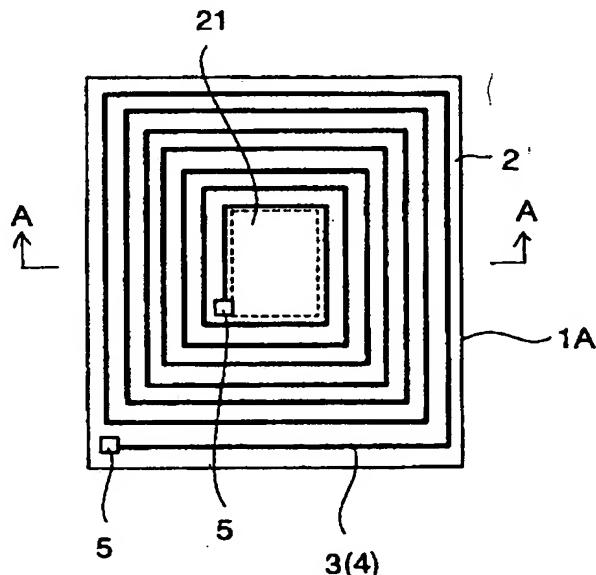
最終頁に続く

(54)【発明の名称】 半導体チップ及びこれを用いた半導体装置

(57)【要約】

【課題】 ノイズによる誤作動や通信特性の劣化を生じにくい再配線層一体形の半導体チップを提供すること、通信特性が良好な半導体装置を提供すること。

【解決手段】 絶縁層2を介して回路形成面1a上に再配線層3を形成し、当該再配線層3をもってアンテナコイル4を形成する。アンテナコイル4は、回路形成面1aに形成されたアナログ回路21を避けて、その周辺部分に形成する。アナログ回路21は、半導体チップ1Aに形成されるべき全てのアナログ回路を集約化したものであっても良いし、例えば前記電源回路、演算増幅器、比較増幅器、R F受信部、R F送信部及びR Fシンセサイザ部、それにメモリ部の一部を構成する電圧昇圧回路や増幅回路などのようにノイズの影響を特に受けやすいアナログ回路の1つであっても良い。また、半導体チップ1Aに形成されるアナログ回路の一部に備えられたコイルであっても良い。



【特許請求の範囲】

【請求項 1】 絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすいアナログ回路の全部又は一部と前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 2】 絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、R F受信部、R F送信部及びR Fシンセサイザ部のうちの少なくともいずれか1つと前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 3】 絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすいコイルと前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないように配列したことを特徴とする半導体チップ。

【請求項 4】 請求項 1 乃至 請求項 3 のいずれかに記載の半導体チップにおいて、前記再配線層に形成された配線をもって、一端が前記回路形成領域に形成された入出力端子に接続され、他端にパンプが形成されたパンプ設定用配線を形成したことを特徴とする半導体チップ。

【請求項 5】 請求項 1 乃至 請求項 4 のいずれかに記載の半導体チップにおいて、前記回路形成領域に形成された回路が、CMOS技術により形成された無線通信回路であることを特徴とする半導体チップ。

【請求項 6】 請求項 1 乃至 請求項 5 のいずれかに記載の半導体チップにおいて、前記回路形成領域に形成された回路が、外部装置との間で 800 MHz 以上の周波数の信号を送信、受信又は送受信する無線通信回路であることを特徴とする半導体チップ。

【請求項 7】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層が重ねて一体形成され、かつ、前記回路形成領域に形成されたノイズの影響を受けやすいアナログ回路の全部又は一部と前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項 8】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、デジタル回路とアナロ

グ回路を有する回路形成領域に再配線層が重ねて一体形成され、かつ、前記回路形成領域に形成されたノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、R F受信部、R F送信部及びR Fシンセサイザ部のうちの少なくともいずれか1つと前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【請求項 9】 所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成面上に再配線層が重ねて一体形成され、かつ、前記回路形成面上に形成されたノイズの影響を受けやすいコイルと前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁層を介して回路形成面上に再配線層が一体に形成された半導体チップと、当該半導体チップを搭載した半導体装置とに係り、特に、前記再配線層の配列に関する。

【0002】

【従来の技術】半導体チップが搭載されたカード形、タグ形又はコイン形などの半導体装置は、豊富な情報量と高いセキュリティ性能を備えていることから、交通、流通及び情報通信等の分野で普及が進んでいる。中でも、近年開発された非接触通信式の半導体装置は、基体に外部端子を設けず、リーダライタからの電力の受給とリーダライタとの間の信号の送受信とを無線によって行うので、接触式の半導体装置のように外部端子の損壊ということが本質的になく、保存等の取り扱いが容易で長期間の使用に耐え、かつ、データの改ざんが行われにくくより一層セキュリティ性能に優れるという特徴を有しており、今後より広範囲な分野への普及が予想されている。

【0003】従来より、この種の非接触式半導体装置に搭載される半導体チップとしては、外部装置からの電源の受給及び外部装置との間の信号の送受信を非接触で行うための非接触通信用のアンテナコイルを有しないものが用いられていたが、近年、図16及び図17に示すように、絶縁層 2 を介して回路形成面上に再配線層 3 が形成され、当該再配線層 3 をもってアンテナコイル 4 が一体に形成されたコイルオンチップタイプの半導体チップ 1 が提案されている。

【0004】コイルオンチップタイプの半導体チップ 1 を用いると、アンテナコイルを別途用意する必要がなく、アンテナコイルと半導体チップとの接続や当該接続部の保護処理等が不要になるので、非接触式半導体装置の製造を容易化でき、その低コスト化を図ることができ

る。

【0005】また、近年においては、非接触式又は接触式を問わず、半導体装置に搭載される半導体チップとして、図18及び図19に示すように、外周に沿って複数個の入出力端子（パッド）5が形成された半導体チップの回路形成面に絶縁層2を介して再配線層3が形成され、当該再配線層3をもって、一端が前記入出力端子5に接続され、他端にバンプ7が形成され、半導体チップの全面にレイアウトされたバンプ設定用配線6が形成されたチップスケールパッケージ（以下、「CSP」と略称する。）タイプの半導体チップ8が提案されている。

【0006】当該CSPタイプの半導体チップ8を用いると、バンプ7を半導体チップ8上の全面に自由にレイアウトすることができるので、外周に沿って形成された入出力端子5にバンプ7を形成する場合に比べてバンプ7の配列ピッチ及びバンプサイズを大きくすることができ、入出力端子5の多端子化と半導体チップのフリップチップ実装の容易化等を図ることができる。

【0007】

【発明が解決しようとする課題】ところで、半導体装置に適用される半導体チップの回路形成面には、図16及び図18に示すように、電源回路11と、演算増幅器（オペアンプ）12と、比較増幅器（コンバレータ）13と、RF受信部14と、RF送信部15と、RFシンセサイザ部16と、論理部17と、メモリ部18などがブロック分けして形成されており、より高いセキュリティ性能が要求される場合には、マイクロプロセッサが内蔵される場合もある。前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16は、ほとんどがアナログ回路で構成され、メモリ部18もメモリ素子としてEEPROMなどを用いる場合には、一部に電圧昇圧回路や増幅回路等のアナログ回路が存在する。これに対して、論理部17は、ほとんどがデジタル回路で構成される。なお、従来より知られている半導体装置搭載用の半導体チップには、前記アナログ回路の一部にコイル部を備えたものもある。

【0008】再配線層3が一体に形成されたコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、比較的高い誘電率を有する絶縁層2を介して半導体チップ1、8の回路形成面と再配線層3とが近接して配置されるので、図20に模式的に示すように、回路形成面に形成された回路と再配線層3との間に寄生容量Cが形成される。

【0009】然るに、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8においては、アナログ回路の形成部に寄生容量Cが生成された場合の悪影響について、何らの考慮もされておらず、図16乃至図19に示すように、アンテナコイル4又はバンプ設定用配線5がアナログ回路の形成部と対向する

位置にも形成されている。

【0010】このため、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面に形成されたアナログ回路と再配線層3との間に寄生容量Cが形成され、再配線層3に発生した起電力（交流）と寄生容量Cとが結合して静電誘導ノイズを生じ、さらには、当該静電誘導ノイズに起因してクロストークノイズ、リングング（LC共振ずれ）及び電源ノイズ等が発生することから、誤作動や通信特性の劣化を生じやすいという問題がある。

【0011】また、従来のコイルオンチップタイプの半導体チップ1及びCSPタイプの半導体チップ8は、回路形成面と再配線層3とが絶縁層2を介して対向に配置されているので、回路形成面に形成された各回路に電磁誘導ノイズも発生しやすく、これに起因する誤作動や通信特性の劣化も生じやすい。

【0012】前記静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングング及び電源ノイズ等のノイズは、前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16などのアナログ回路、特に、微小な電圧波形を取り扱う演算増幅器12及び比較増幅器13や、微小な信号を取り扱うメモリ部18に備えられた電圧昇圧回路及び増幅回路、それにコイル等に大きな影響を与える。また、これらのノイズは、取り扱う電圧波形や信号の周波数が高い回路ほど大きな悪影響を及ぼすので、例えば携帯電話等に適用される高周波対応の半導体チップにおいては、特に前記ノイズの発生を抑制する必要がある。

【0013】本発明は、かかる課題を解決するためになされたものであって、その課題とするところは、ノイズによる誤作動や通信特性の劣化を生じにくい再配線層一体形の半導体チップを提供すること、及び、通信特性が良好な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、前記課題を解決するため、半導体チップに関しては、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすいアナログ回路の全部又は一部と前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないよう配列するという構成にした。

【0015】このように、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないように配列すると、アナログ回路と再配線層との間に寄生容量が形成されないので、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないので、アナログ回路に作用する電磁誘導ノイズの

発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンクギング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。なお、回路形成面に形成された全てのアナログ回路について再配線層を重なり合わないように配列しなくとも、ノイズの影響を受けやすいアナログ回路について再配線層を重なり合わないように配列すれば、実用上ノイズに起因する誤作動や通信特性の劣化が問題になることはない。また、デジタル回路はアナログ回路に比べてノイズの影響を受けにくいので、回路形成面に形成されたデジタル回路上に絶縁層を介して再配線層を重なり合わせても、再配線層一体形の半導体チップに誤作動を生じたり通信特性の劣化を生じることはない。

【0016】また、本発明は、半導体チップに関して、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、R F受信部、R F送信部及びR Fシンセサイザ部のうちの少なくともいずれか1つと前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0017】前記したように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、R F受信部、R F送信部及びR Fシンセサイザ部は、ほとんどがノイズの影響を受けやすいアナログ回路をもって構成される。したがって、これらの各回路ブロックと再配線層とを絶縁層を介して重なり合わないように配列すれば、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リンクギング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0018】また、本発明は、半導体チップに関して、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層を重ねて一体形成してなる半導体チップにおいて、前記回路形成領域に形成されたノイズの影響を受けやすいコイルと前記再配線層に形成された配線とを前記絶縁層を介して重なり合わないように配列するという構成にした。

【0019】かのように、回路形成面にコイルが形成された半導体チップについて、当該コイルと再配線層とを絶縁層を介して重なり合わないように配列すると、コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、リンクギング等の発生を防止することができるので、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0020】また、本発明は、半導体チップに関して、前記再配線層に形成された配線をもって、一端が前記回

路形成領域に形成された入出力端子に接続され、他端にバンプが形成されたバンプ設定用配線を形成するという構成にした。

【0021】かのように、再配線層をもってバンプ設定用配線を形成すると、耐ノイズ性に優れたC S Pタイプの半導体チップを得ることができるので、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0022】また、本発明は、半導体チップに関して、前記回路形成領域に形成された回路が、C M O S技術により形成された無線通信回路であるという構成にした。

【0023】本願出願人は、実験により、C M O S技術で製造された無線チップは、S iバイポーラ技術で製造されたトランジスタに比べて個々のトランジスタ特性のばらつきが大きく、浮遊容量などの影響によってダイナミックレンジなどの特性が劣化しやすいことから、アナログ回路上に再配線層が形成された場合の影響が大きいという事実を知得した。シュミレーションによると、アナログ回路上の再配線による無線通信特性への影響は、S iバイポーラ技術を用いた場合と比較して、2~8倍にもなることが確認された。したがって、C M O S技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0024】また、本発明は、半導体チップに関して、前記回路形成領域に形成された回路が、外部装置との間で800MHz以上周波数の信号を送信、受信又は送受信する無線通信回路であるという構成にした。

【0025】本願出願人は、実験により、アナログ回路上の再配線による無線通信特性への影響は、無線通信のための周波数に依存し、周波数が800MHz以上になると急激に通信特性が劣化するという事実を知得した。これは、再配線内を流れる電流が、数MHz程度の低周波数を送受信する場合には再配線の中心付近を流れるのに対して、800MHz以上の高周波数になると再配線の表層を流れる表皮効果によるためと考えられる。表皮効果による回路への影響は、ノイズによるエラーレートの上昇や通信距離の急激な減少、ひいては通信不能に原因にもなる。したがって、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列することにより、再配線層の影響を受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0026】一方、本発明は、前記の課題を解決するため、半導体装置に関しては、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、デジタル回路とアナログ回路を有する回路形成領域に再配線層が

重ねて一体形成され、かつ、前記回路形成領域に形成されたノイズの影響を受けやすいアナログ回路の全部又は一部と前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないよう配列された半導体チップを搭載するという構成にした。

【0027】かように、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないよう配列された半導体チップを搭載すると、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0028】また、本発明は、半導体装置に関して、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、ディジタル回路とアナログ回路を有する回路形成領域に再配線層が重ねて一体形成され、かつ、前記回路形成領域に形成されたノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載するという構成にした。

【0029】かのように、回路形成面に形成された電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいずれか1つと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載すると、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じないので、通信特性が良好な半導体装置を得ることができる。

【0030】また、本発明は、半導体装置に関して、所定寸法及び所定形状の基体に半導体チップを搭載してなる半導体装置において、前記半導体チップとして、絶縁層を介して、ディジタル回路とアナログ回路を有する回路形成面上に再配線層が重ねて一体形成され、かつ、前記回路形成面上に形成されたノイズの影響を受けやすいコイルと前記再配線層に形成された配線とが前記絶縁層を介して重なり合わないように配列された半導体チップを搭載するという構成にした。

【0031】かのように、回路形成面に形成されたコイルと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載すると、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用しないので、通信特性が良好な半導体装置を得ることができる。

【0032】

【発明の実施の形態】〈半導体チップの第1例〉本発明に係る半導体チップの第1例を、図1及び図2に基づいて説明する。図1は第1実施形態例に係る半導体チップ

1Aの平面図であり、図2は図1のA-A断面図である。

【0033】本例の半導体チップ1Aは、コイルオンチップタイプの半導体チップであって、図1及び図2に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイル4が一体に形成されている。そして、本例の半導体チップ1Aにおいては、回路形成面1aの中央部分に形成されたアナログ回路21を避けて、その周辺部分に角形スパイラル状のアンテナコイル4が形成されている。

【0034】前記アナログ回路21は、半導体チップ1Aに形成されるべき全てのアナログ回路を集約化したものであっても良いし、例えば前記電源回路11、演算増幅器12、比較増幅器13、RF受信部14、RF送信部15及びRFシンセサイザ部16、それに前記メモリ部18の一部を構成する電圧昇圧回路や増幅回路などのようにノイズの影響を特に受けやすいアナログ回路の1つであっても良い。さらには、半導体チップ1Aに形成されるアナログ回路の一部に備えられたコイルであっても良い。

【0035】本例の半導体チップ1Aは、基になる半導体チップ（より実際的には、個々の半導体チップに切り出される前の完成ウエハ）の回路形成面1a上に、絶縁層2を介して再配線層3を形成することによって作製される。本例の半導体チップ1Aの基になる半導体チップとしては、公知に属する任意の半導体チップを用いることができるが、最終製品である非接触式半導体装置の薄形化を図るために、回路の非形成面1bが化学研磨又は機械研磨若しくはこれらの手段の組み合わせによって薄形化されたペアチップを用いることが特に好ましい。その厚さは、300μm以下が好ましく、特に薄形のカードに適用されるものについては、50μm～150μm程度にすることが好ましい。また、CMOS技術により回路形成面に無線通信回路が形成されたものや、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いることもできる。

【0036】なお、図1の例では、アンテナコイル4が複数ターン巻回されているが、当該アンテナコイル4のターン数についてはこれに限定されるものではなく、1ターン以上の任意のターン数とすることができる。さらに、アンテナコイル4の平面形状に関しても、図1及び図2の例に限定されるものではなく、例えば角部に面取りを施して、形状効果による通信特性の劣化が少ない形状とすることもできる。また、絶縁層2と再配線層3とを多段に積層して、アンテナコイル4のターン数を多くすることもできる。

【0037】本例の半導体チップ1Aは、回路形成面1aの中央部分に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナ

コイル4とが互いに重なり合わないように配列したので、アナログ回路21とアンテナコイル4との間に寄生容量が形成されず、アナログ回路21に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路21とアンテナコイル4とが対向に配置されないので、アナログ回路21に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リング及び電源ノイズ等の発生が防止され、高周波対応のコイルオンチップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0038】特に、半導体チップ1Aの基になる半導体チップとして、CMOS技術により回路形成面に無線通信回路が形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。また、半導体チップ1Aの基になる半導体チップとして、外部装置との間で800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が回路形成面に形成されたものを用いた場合には、再配線層3（アンテナコイル4）の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0039】〈半導体チップの第2例〉本発明に係る半導体チップの第2例を、図3に基づいて説明する。図3は第2実施形態例に係る半導体チップ1Bの平面図である。

【0040】本例の半導体チップ1Bも、コイルオンチップタイプの半導体チップであって、図3に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもってアンテナコイル4が一体に形成されている。そして、本例の半導体チップ1Bにおいては、回路形成面1aの一隅部に形成されたアナログ回路21を避けて、その周辺部分に異形スパイラル状のアンテナコイル4が形成されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0041】本例の半導体チップ1Bも、回路形成面1aの一隅部に形成されたアナログ回路21を避けてアンテナコイル4を形成し、アナログ回路21とアンテナコイル4とが互いに重なり合わないように配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0042】〈半導体チップの第3例〉本発明に係る半導体チップの第3例を、図4及び図5に基づいて説明する。図4は第3実施形態例に係る半導体チップ1Cの平面図であり、図5は図4のB-B断面図である。

【0043】本例の半導体チップ1Cは、CSPタイプの半導体チップであって、図4及び図5に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成

され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Cの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Cにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その側方にのみバンプ7が配列されている。その他については、前記第1実施形態例に係る半導体チップ1Aと同じであるので、説明を省略する。

【0044】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないように配列したので、アナログ回路21に作用するノイズの影響を解消することができ、前記第1実施形態例に係る半導体チップ1Aと同様の効果を得ることができる。

【0045】〈半導体チップの第4例〉本発明に係る半導体チップの第4例を、図6に基づいて説明する。図6は第4実施形態例に係る半導体チップ1Dの平面図である。

【0046】本例の半導体チップ1Dも、CSPタイプの半導体チップであって、図6に示すように、絶縁層2を介して回路形成面1a上に再配線層3が形成され、当該再配線層3をもって、一端が入出力端子5に接続されかつ他端が半導体チップ1Dの全面にレイアウトされたバンプ設定用配線6が形成され、当該バンプ設定用配線6の他端にバンプ7が形成されている。そして、本例の半導体チップ1Dにおいては、回路形成面1aの一部に形成されたアナログ回路21を避けてその周辺部分にバンプ設定用配線6が引き回され、アナログ回路21の形成部分を境として、その上方及び側方にバンプ7が配列されている。その他については、前記第3実施形態例に係る半導体チップ1Cと同じであるので、説明を省略する。

【0047】本例の半導体チップ1Cも、回路形成面1aの一部に形成されたアナログ回路21を避けてバンプ設定用配線6及びバンプ7を形成し、アナログ回路21とこれらバンプ設定用配線6及びバンプ7とが互いに重なり合わないように配列したので、前記第3実施形態例に係る半導体チップ1Cと同様の効果を得ることができます。

【0048】〈半導体チップの第5例〉本発明に係る半導体チップの第5例を、図7に基づいて説明する。図7は第5実施形態例に係る半導体チップ1Eの平面図である。

【0049】本例の半導体チップ1Eも、CSPタイプの半導体チップであって、図7に示すように、絶縁層2

を介して回路形成面 1 a 上に再配線層 3 が形成され、当該再配線層 3 をもって、一端が入出力端子 5 に接続されかつ他端が半導体チップ 1 E の全面にレイアウトされたバンプ設定用配線 6 が形成され、当該バンプ設定用配線 6 の他端にバンプ 7 が形成されている。そして、本例の半導体チップ 1 E においては、回路形成面 1 a の 2箇所に形成されたアナログ回路 2 1 を避けてその周辺部分にバンプ設定用配線 6 が引き回され、アナログ回路 2 1 の形成部分の前後左右にバンプ 7 が配列されている。その他については、前記第3実施形態例に係る半導体チップ 1 C と同じであるので、説明を省略する。

【0050】本例の半導体チップ 1 E も、回路形成面 1 a の一部に形成されたアナログ回路 2 1 を避けてバンプ設定用配線 6 及びバンプ 7 を形成し、アナログ回路 2 1 とこれらバンプ設定用配線 6 及びバンプ 7 とが互いに重なり合わないように配列したので、前記第3実施形態例に係る半導体チップ 1 C と同様の効果を得ることができる。

【0051】〈再配線層の形成方法の第1例〉以下、前記アンテナコイル 4 又はバンプ設定用配線 6 を構成する再配線層 3 の形成方法の第1例を、図8乃至図10に基づいて説明する。図8は所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図、図9は再配線層 3 の形成方法の第1例を示す工程図、図10は再配線層 3 が形成された完成ウエハの平面図である。

【0052】図8に示すように、完成ウエハ 3 1 には、最外周部を除く内周部分に多数個の半導体チップ用の回路 3 2 が等間隔に形成されており、その回路形成面側には、所要の表面保護膜 3 3 (図9参照) が形成されている。

【0053】図9に示す再配線層の形成方法の第1例では、まず図9 (a) に示すように、完成ウエハ 3 1 の回路形成面に形成された表面保護膜 3 3 上に、アルミニウム又はアルミニウム合金若しくは銅又は銅合金を用いて、金属スペッタ層又は金属蒸着層 3 4 を均一に形成する。次いで、図9 (b) に示すように、当該金属スペッタ層又は金属蒸着層 3 4 上にフォトレジスト層 3 5 を均一に形成し、形成されたフォトレジスト層 3 5 にアンテナコイル 4 又はバンプ設定用配線 6 を含む所要のパターンが形成されたマスク 3 6 を被せ、マスク 3 6 の外側から所定波長の光 3 7 を照射してフォトレジスト層 3 5 を露光する。しかる後に露光されたフォトレジスト層 3 5 の現像処理を行い、図9 (c) に示すように、フォトレジスト層 3 5 の露光部分を除去して、前記金属スペッタ層又は金属蒸着層 3 4 の前記露光パターンと対応する部分を露出させる。金属スペッタ層又は金属蒸着層 3 4 の露出パターンには、図10に示すように、リング状の電極部 3 7 と、前記アナログ回路 2 1 を除く部分に形成されたアンテナコイル 4 又はバンプ設定用配線 6 と、これら電極部 3 7 と各アンテナコイル 4 又は各バンプ設定用

配線 6 とを連結するリード部 3 8 とが含まれる。次いで、前記電極部 3 7 を一方の電極として、金属スペッタ層又は金属蒸着層 3 4 の露出部分に電気めっき又は精密電鋳を施し、図9 (d) に示すように、金属スペッタ層又は金属蒸着層 3 4 の露出部分に金属めっき層 3 9 を積層する。次いで、完成ウエハ 3 1 の表面に付着したフォトレジスト層 3 5 をアッショング処理等によって除去し、図9 (e) に示すように、均一な金属スペッタ層又は金属蒸着層 3 4 上に電極部 3 7 とアンテナコイル 4 又はバンプ設定用配線 6 とリード部 3 8 とを有する金属めっき層 3 9 が形成された完成ウエハ 3 1 を得る。次いで、金属めっき層 3 9 より露出した金属スペッタ層又は金属蒸着層 3 4 を選択的にエッチングし、図9 (f) に示すように、金属めっき層 3 9 より露出した金属スペッタ層又は金属蒸着層 3 4 を除去する。これによって、金属スペッタ層又は金属蒸着層 3 4 と金属めっき層 3 9 とが形成された完成ウエハ 3 1 が得られる。最後に、前記完成ウエハ 3 1 をスクライピングして、図1乃至図7に示す所要の半導体チップ 1 C 素子 1 A ~ 1 E を得る。

【0054】なお、本例においては、金属めっき層 3 9 の形成手段として電気めっき法又は精密電鋳法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層 3 9 を形成することもできる。この場合には、金属めっき層 3 9 の形成に電極を必要としないので、フォトレジスト層 3 5 の露光に際して、電極部 3 7 の形成とリード部 3 8 の形成が不要になる。

【0055】無電解めっきは、化学めっきとも呼ばれ、素地金属をめっき金属の金属塩溶液中に浸して金属イオンを素地表面に析出させるもので、比較的簡単な設備で密着力が強く均一で十分な厚みを有するめっき層が得られるという特徴がある。前記金属塩は、めっきする金属イオンの供給源となるものであり、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。銅などの金属イオンは、素地となる金属スペッタ層又は金属蒸着層 3 4 上にのみに析出し、絶縁性の表面保護層 3 3 上には析出しない。素地材は、めっき金属イオンに対してイオン化傾向が小さく、かつ、めっき金属イオンの析出に対する触媒作用をもつ必要がある。このため、アルミニウムからなる金属スペッタ層又は金属蒸着層 6 上に銅をめっきする場合には、アルミニウム層の表面にニッケルを数 μm 以下の厚さに形成し、硝酸亜鉛液に数秒間浸して亜鉛に置換する前処理を施すことが好ましい。

【0056】一方、電気めっき法及び精密電鋳法は、めっき金属のイオンを含むめっき浴中に金属スペッタ層又は金属蒸着層 3 4 が形成された完成ウエハ 3 1 とめっき金属からなる電極とを浸漬し、完成ウエハ 3 1 に形成された金属スペッタ層又は金属蒸着層 3 4 を陰極、めっき浴中に浸漬された電極を陽極として電圧を印加し、めっき浴中の金属イオンを金属スペッタ層又は金属蒸着層 3

4の表面に析出させる方法である。電気めっき法及び精密電鋳法も、銅をめっきする場合には、硫酸銅、塩化第二銅、硝酸銅等の溶液がめっき液として用いられる。

【0057】本例の再配線層3の形成方法は、完成ウエハ31に所要のアンテナコイル4又はバンプ設定用配線6を含む所要の導電パターンを形成し、しかる後に完成ウエハ31をスクライビングして所要の半導体チップ1A～1Eを得るという構成にしたので、個々の半導体チップにアンテナコイル4又はバンプ設定用配線6を形成する場合に比べてコイルオンチップ又はCSPタイプの半導体チップを高能率に製造でき、その製造コストを低減することができる。また、ウエハ31に形成された全ての半導体チップに対して均一な厚みのアンテナコイル4又はバンプ設定用配線6を高精度に形成することができるので、通信特性のばらつきを小さくすることができる。さらに、個々の半導体チップ1A～1Eについてスペッタ法又は真空蒸着法及びメッキ法を用いてアンテナコイル4又はバンプ設定用配線6を形成すると、半導体チップ1A～1Eの外周部に不要の導体が付着して半導体チップの絶縁性が問題になるが、完成ウエハ31にアンテナコイル4又はバンプ設定用配線6を含む所要の導電パターンを形成した場合には、スペッタ時等において完成ウエハ31の外周部に不要の導体が付着しても、該部は不要部分としてもともと処分されるべき部分であるので、個々の半導体チップ1A～1Eの絶縁性に悪影響を与えることもない。加えて、本例の再配線層3の形成方法は、フォトレジスト層35がある状態で金属めっき層39の形成を行い、しかる後に金属スペッタ層又は金属蒸着層34の金属めっき層39が積層されていない部分をエッチングによって除去するようにしたので、図8(e)に示すように、金属めっき層39が金属スペッタ層又は金属蒸着層34の上面にのみ積層され、幅方向に広がらないので、精密なアンテナコイル4又はバンプ設定用配線6を形成することができ、狭い面積内に巻数の多いアンテナコイル4又は多数のバンプ設定用配線6を形成することができる。

【0058】〈再配線層の形成方法の第2例〉次いで、再配線層3の形成方法の第2例を、図11に基づいて説明する。図11は再配線層3の形成方法の第2例を示す工程図である。

【0059】本例の再配線層3の形成方法では、図11(a)に示すように、完成ウエハ31に形成された表面保護膜33上にフォトレジスト層35を均一に形成し、形成されたフォトレジスト層35にアンテナコイル4又はバンプ設定用配線6を含む所要のパターンが形成されたマスク35を被せ、マスク36の外側から所定波長の光37を照射してフォトレジスト層35を露光する。しかる後に、露光されたフォトレジスト層35の現像処理を行い、図11(b)に示すように、フォトレジスト層35の露光部分を除去して、表面保護膜33の前記露光

パターンと対応する部分を露出させる。フォトレジスト層35の露光パターンは、図10に示すように、電極部37と前記アノログ回路21を除く部分に形成されたアンテナコイル4又はバンプ設定用配線6とリード部38とを含む形状にすることができる。次いで、現像処理後の完成ウエハ31をスペッタ装置又は真空蒸着装置に装着し、図11(c)に示すように、前記表面保護膜33の露出部分に金属スペッタ層又は金属蒸着層34を形成する。次いで、図11(d)に示すように、完成ウエハ31に付着したフォトレジスト層35をアッシング処理等によって除去した後、電極部37を一方の電極として、金属スペッタ層又は金属蒸着層34に電気めっきを施し、図11(e)に示すように、金属スペッタ層又は金属蒸着層34の露出部分に金属めっき層39を積層する。最後に、前記完成ウエハ31をスクライビングして、図1乃至図7に示す所要の半導体チップ1C素子1A～1Eを得る。

【0060】なお、本例の再配線層3の形成方法においても、金属めっき層39の形成手段として電気めっき法を用いたが、かかる構成に代えて、無電解めっき法を用いて前記金属めっき層39を形成することもできる。この場合には、金属めっき層39の形成に電極を必要としないので、フォトレジスト層35の露光に際して、電極部37の形成とリード部38の形成が不要になる。

【0061】本例の再配線層3の形成方法は、前記第1例に係る再配線層3の形成方法と同様の効果を有するほか、完成ウエハ31に導電パターンを形成するための工程数を少なくできるので、コイルオンチップ又はCSPタイプの半導体チップをより高能率に製造することができる。

【0062】〈半導体装置の第1例〉次に、本発明に係る半導体装置の第1例を、図12に基づいて説明する。図12は第1実施形態例に係る半導体装置40の断面図である。

【0063】第1実施形態例に係る半導体装置40は、図12に示すように、前記コイルオンチップタイプの半導体チップ1A又は1Bを、接着剤層41と2枚のカバーシート42とからなる基体内にケーシングしたことを特徴とする。接着剤層41を構成する接着剤としては、所要の接着強度を有するものであれば公知に属する任意の接着剤を用いることができるが、量産性に優れることから、ホットメルト接着剤を用いることが特に好ましい。また、カバーシート42としては、所要の強度と印刷性を有するものであれば公知に属する任意のシート材料を用いることができるが、例えばポリエチレンテレフタレートのように焼却しても有害物質の発生が少ない高分子シートや紙を用いることが特に好ましい。本例の半導体装置40は、片面に接着剤層41が形成された第1のカバーシート42の接着剤層41上に半導体チップ1A又は1Bを固定し、次いで、前記第1のカバーシート

4 2 の半導体チップ接着面に、片面に接着剤層 4 1 が形成された第 2 のカバーシート 4 2 の接着剤層 4 1 を接着することによって形成できる。

【0064】本例の半導体装置 4 0 は、アナログ回路 2 1 とアンテナコイル 4 とが絶縁層 2 を介して重なり合わないように配列された半導体チップ 1 A 又は 1 B を搭載したので、アナログ回路 2 1 とアンテナコイル 4 との間に寄生容量が形成されず、アナログ回路 2 1 に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路 2 1 とアンテナコイル 4 とが対向に配置されないので、アナログ回路 2 1 に作用する電磁誘導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングイン及び電源ノイズ等の発生が防止され、コイルオンチップタイプの半導体チップ 1 A 又は 1 B を搭載した非接触半導体装置の通信特性を改善できる。また、所要の半導体チップ 1 A 又は 1 B を 2 枚のカバーシート 4 2 にてケーシングするだけで製造できるので、安価かつ超小型に製造できる。

【0065】(半導体装置の第 2 例) 次に、本発明に係る半導体装置の第 2 例を、図 13 及び図 14 に基づいて説明する。図 13 は第 2 実施形態例に係る半導体装置の断面図、図 14 は第 2 実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【0066】第 2 実施形態例に係る半導体装置 5 0 は、図 13 に示すように、前記コイルオンチップタイプの半導体チップ 1 A 又は 1 B と、これらの半導体チップ 1 A 又は 1 B に一体形成されたアンテナコイル 4 と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化するためのブースタコイル 5 1 が形成された絶縁基板 5 2 とを、接着剤層 4 1 とカバーシート 4 2 とかなる基体内にケーシングしたことを特徴とする。

【0067】ブースタコイル 5 1 は、図 14 に示すように、巻径が小さな第 1 コイル 5 1 a と巻径が大きな第 2 コイル 5 1 b とからなり、互いに電気的に接続されている。第 1 コイル 5 1 a は、半導体チップ 1 A 又は 1 B に一体形成されたアンテナコイル 4 と主に電磁結合されるコイルであり、その平面形状及び寸法が、半導体チップ 1 A 又は 1 B に一体形成されたアンテナコイル 4 と同一又は相似形に形成される。一方、第 2 コイル 5 1 b は、リーダライタに備えられたアンテナコイルと主に電磁結合するコイルであり、その平面形状及び寸法は、接着剤層 4 1 とカバーシート 4 2 によって構成される基体内に収まる範囲でなるべく大きく形成される。なお、図 14 の例では、第 1 コイル 5 1 a 及び第 2 コイル 5 1 b が共に複数のターン数を有する矩形スパイラル状に形成されているが、各コイル 5 1 a, 5 1 b のターン数や平面形状はこれに限定されるものではなく、任意に形成することができる。このブースタコイル 5 1 は、絶縁基板 5 2 の片面に形成された均一厚さの導電性金属層にエッチング

ングを施して所要のコイルパターンを形成するエッチング法や、絶縁基板 5 2 の片面に導電性インクを用いて所要のコイルパターンを印刷形成する印刷法をもって形成することができる。

【0068】なお、接着剤層 4 1 を構成する接着剤の種類やカバーシート 4 2 を構成するシート材料の種類については、第 1 実施形態例に係る半導体装置 4 0 と同じであるので、重複を避けるために説明を省略する。

【0069】本例の半導体装置 5 0 は、第 1 実施形態例に係る半導体装置 4 0 と同様の効果を有するほか、ブースタコイルを備えたので、半導体チップ 1 A 又は 1 B に一体形成されたアンテナコイル 4 と図示しないリーダライタに備えられたアンテナコイルとの電磁結合を強化できるという効果がある。

【0070】(半導体装置の第 3 例) 次に、本発明に係る半導体装置の第 2 例を、図 15 に基づいて説明する。図 15 は第 3 実施形態例に係る半導体装置の要部断面図である。

【0071】第 3 実施形態例に係る半導体装置 6 0 は、図 15 に示すように、第 1 配線層 6 1、第 1 絶縁層 6 2、第 2 配線層 6 3、第 1 配線層 6 1 と第 2 配線層 6 3 とを接続する接続部 6 3 a、第 2 絶縁層 6 4、半導体チップ 1 C、他の搭載部品 6 6、第 2 配線層 6 3 と半導体チップ 1 C とを接続する導体 6 7、第 2 配線層 6 3 と他の搭載部品 6 6 とを接続する導体 6 8、半導体チップ 1 C と他の搭載部品 6 6 と導体 6 7, 6 8 を一体に封止するモールド樹脂 6 9、第 1 配線層 6 1 の外面に局部的に形成されたニッケル層(金属膜) 7 0、第 1 配線層 6 1 の外面を覆う保護樹脂層 7 1、ニッケル層 7 0 に形成された外部端子 7 2 から構成されている。

【0072】第 1 配線層 6 1、第 2 配線層 6 3 及び接続部 6 3 a は、銅又は銅合金を電気めっき(電鋳)することによって形成される。銅合金としては、耐腐食性や密着性に優れることなどから、銅ニッケル合金又は銅ニッケル銀合金が特に適する。接続部 6 3 a は、第 1 絶縁層 6 2 に開設された第 1 開口部 6 2 a 内に形成され、第 1 配線層 6 1 と第 2 配線層 6 3 を電気的に接続する。

【0073】第 1 絶縁層 6 2、第 2 絶縁層 6 4 及び保護樹脂層 7 1 は、絶縁性樹脂によって形成される。なお、絶縁性樹脂としては、これら第 1 絶縁層 6 2、第 2 絶縁層 6 4 及び保護樹脂層 7 1 の形成を容易にするため、感光性樹脂を用いることもできる。第 1 絶縁層 6 2 には、接続部 6 3 a を形成するための第 1 開口部 6 2 a が所要の配列で形成され、第 2 絶縁層 6 4 には、導体 6 7, 6 8 を貫通するための第 2 開口部 6 4 a が所要の配列で形成される。

【0074】他の搭載部品 6 6 としては、トランジスタ、ダイオード、抵抗、インダクタ、コンデンサ、水晶発振子、フィルタ、パラン、アンテナ、機能モジュール

などのチップ部品や外部接続コネクタなどを搭載することができる。なお、前記機能モジュールには、VCO、PLL又は電源レギュレータなどが含まれる。

【0075】他の搭載部品66と第2配線層63とを接続する導体68としては、導電ペーストや異方性導電接着剤などを用いることもできるが、安価にして信頼性の高い接続が可能であることから、はんだが特に適する。

【0076】モールド樹脂69は、前記半導体チップ1Cと、他の搭載部品66と、これら各搭載部品1C、66と第2配線層63との接続部とを一体に樹脂封止するものであって、従来より半導体チップの樹脂封止に適用されている各種の樹脂材料を用いて形成することができる。

【0077】ニッケル層70は、外部端子72の形成を容易にするものであって、外部端子72を形成しようとする第1配線層61の端子部に形成される。

【0078】外部端子72は、本実施形態例に係る半導体装置60を外部装置、例えばプリント配線基板に接続するために使用されるものであって、安価にして信頼性の高い接続が容易に行えることから、はんだで形成することが特に好ましい。

【0079】本例の半導体装置60は、第1実施例に係る半導体装置40と同様の効果を有するほか、搭載部品1C、66の配線手段を配線層61、63と保護樹脂層62、64とから構成したので、従来の多層基板のコア材に相当する部分を省略することができ、薄形にして安価な半導体装置を得ることができる。また、配線層61、63を用いたので、リードフレームや金属箔エッチング又は導電ペースト印刷により形成された配線層を備えた基板を用いる場合に比べて配線パターンの高密度化、高精度化、微小化及び均質化を図ることができ、小型にして高周波対応性の高い半導体モジュールを得ることができる。さらに、第1配線層61及びこれと電気的に接続された第2配線層63とを2層に形成したので、配線層61、63の形成面積を減少することができ、半導体装置の小型化を図ることができる。

【0080】なお、前記実施形態例では、配線層を2層に形成したが3層以上に形成することももちろん可能である。また、前記実施形態例では、半導体チップとしてCSPタイプの半導体チップ1Cを用いたが、他のCSPタイプの半導体チップ1D、1Eを用いることもできる。

【0081】

【発明の効果】請求項1に記載の発明は、半導体チップの回路形成面に形成されたアナログ回路と再配線層とを絶縁層を介して重なり合わないように配列するので、アナログ回路と再配線層との間に寄生容量が形成されず、アナログ回路に作用する静電容量ノイズの発生を防止することができる。また、アナログ回路と再配線層とが対向に配置されないので、アナログ回路に作用する電磁誘

導ノイズの発生を防止することができる。よって、これら静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングイング及び電源ノイズ等の発生が防止され、高周波対応の再配線層一体形半導体チップについても、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0082】請求項2に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なくともいづれか1つと再配線層とを絶縁層を介して重なり合わないように配列するので、各回路ブロックについて、静電誘導ノイズ又は電磁誘導ノイズに起因するクロストークノイズ、リングイング及び電源ノイズ等の発生を防止することができ、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0083】請求項3に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とを絶縁層を介して重なり合わないように配列するので、当該コイルに静電誘導ノイズや電磁誘導ノイズが作用しにくく、ノイズに起因する誤作動や通信特性の劣化を解消することができる。

【0084】請求項4に記載の発明は、再配線層をもつてバンプ設定用配線を形成するので、耐ノイズ性に優れたCSPタイプの半導体チップを得ることができ、多端子にして耐ノイズ性に優れた半導体装置を得ることができる。

【0085】請求項5に記載の発明は、CMOS技術により回路形成面に無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0086】請求項6に記載の発明は、800MHz以上の周波数の信号を送信、受信又は送受信する無線通信回路が形成された半導体チップについて、アナログ回路上に再配線層が形成されないように再配線層を配列するので、再配線層の影響を特に受けやすいこの種の半導体チップの通信特性の劣化を防止することができる。

【0087】請求項7に記載の発明は、回路形成面に形成されたアナログ回路と再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを半導体装置に搭載するので、半導体チップのアナログ回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができます。

【0088】請求項8に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすい電源回路、演算増幅器、比較増幅器、RF受信部、RF送信部及びRFシンセサイザ部のうちの少なく

ともいざれか 1 つと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを半導体装置に搭載するので、ノイズの悪影響を最も強く受けやすいこれらの回路に静電誘導ノイズや電磁誘導ノイズに起因する誤作動や通信特性の劣化が生じにくく、通信特性が良好な半導体装置を得ることができる。

【0089】請求項 9 に記載の発明は、回路形成面に形成されたアナログ回路のうち、特にノイズの影響を受けやすいコイルと再配線層とが絶縁層を介して重なり合わないように配列された半導体チップを搭載するので、ノイズの悪影響を強く受けやすいコイルに静電誘導ノイズや電磁誘導ノイズが作用せず、通信特性が良好な半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】第 1 実施形態例に係る半導体チップ 1 A の平面図である。

【図 2】図 1 の A-A 断面図である。

【図 3】第 2 実施形態例に係る半導体チップ 1 B の平面図である。

【図 4】第 3 実施形態例に係る半導体チップ 1 C の平面図である。

【図 5】図 4 の B-B 断面図である。

【図 6】第 4 実施形態例に係る半導体チップ 1 D の平面図である。

【図 7】第 5 実施形態例に係る半導体チップ 1 E の平面図である。

【図 8】所定のプロセス処理を経て完成されたいわゆる完成ウエハの平面図である。

【図 9】再配線層の形成方法の第 1 例を示す工程図である。

【図 10】再配線層 3 が形成された完成ウエハの平面図である。

【図 11】再配線層の形成方法の第 2 例を示す工程図で

ある。

【図 12】第 1 実施形態例に係る半導体装置の断面図である。

【図 13】第 2 実施形態例に係る半導体装置の断面図である。

【図 14】第 2 実施形態例に係る半導体装置に備えられるブースタコイルの平面図である。

【図 15】第 3 実施形態例に係る半導体装置の要部断面図である。

【図 16】従来のコイルオンチップタイプの半導体チップの平面図である。

【図 17】従来のコイルオンチップタイプの半導体チップの断面図である。

【図 18】従来の CSP タイプの半導体チップの平面図である。

【図 19】従来の CSP タイプの半導体チップの断面図である。

【図 20】半導体チップの回路部とアンテナコイルとの間に形成される寄生容量の説明図である。

【符号の説明】

1 A ~ 1 E 半導体チップ

2 絶縁層

3 再配線層

4 アンテナコイル

6 バンプ形成用配線

1 1 電源回路

1 2 演算増幅器

1 3 比較増幅器

1 4 R F 受信部

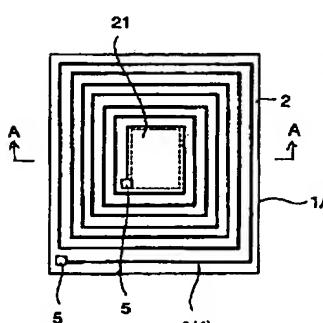
1 5 R F 送信部

1 6 R F シンセサイザ部

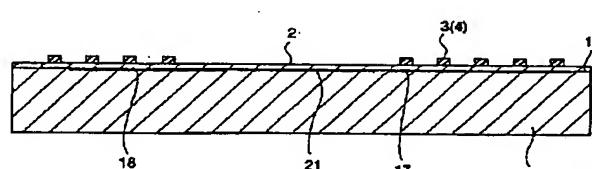
2 1 アナログ回路

4 0, 5 0, 6 0 半導体装置

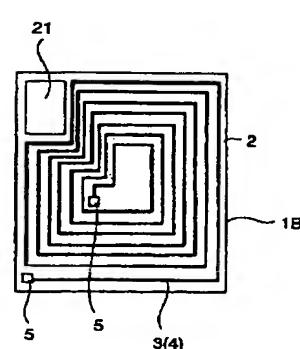
【図 1】



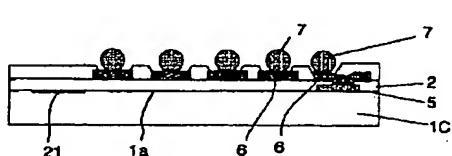
【図 2】



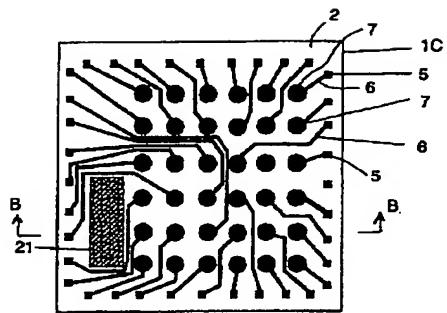
【図 3】



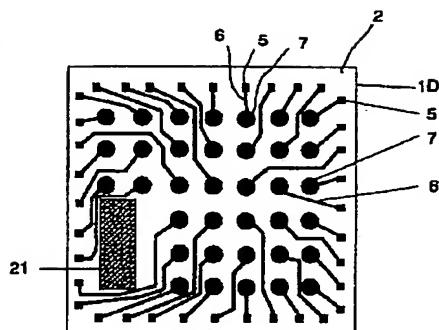
【図 5】



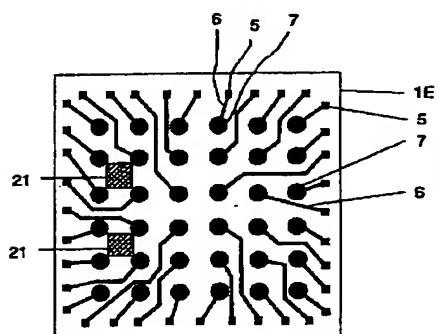
【図 4】



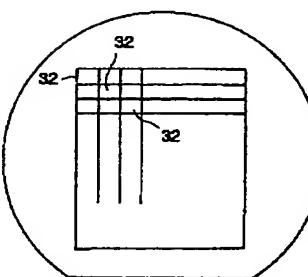
【図 6】



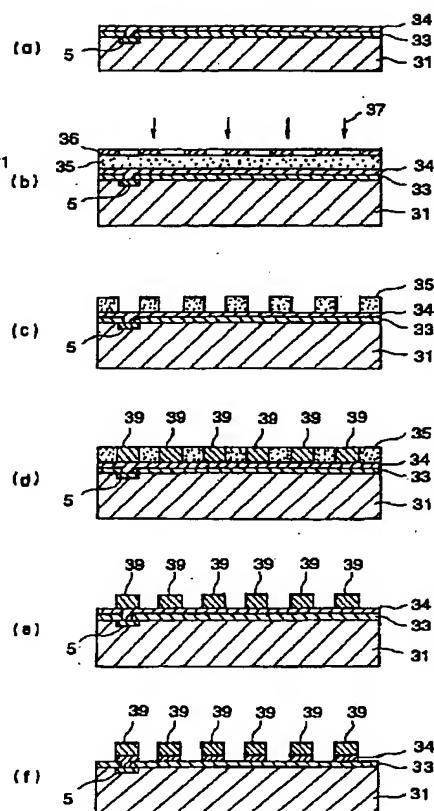
【図 7】



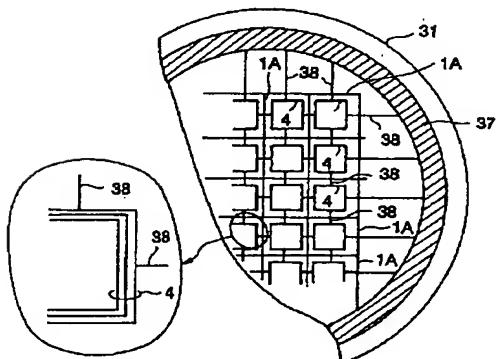
【図 8】



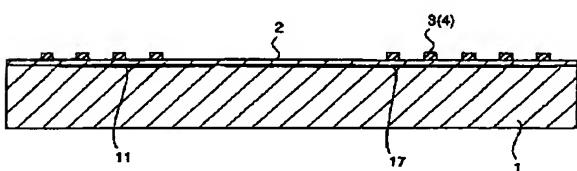
【図 9】



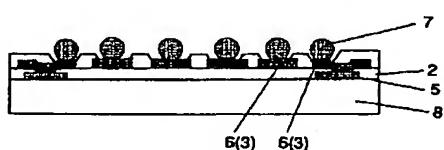
【図 10】



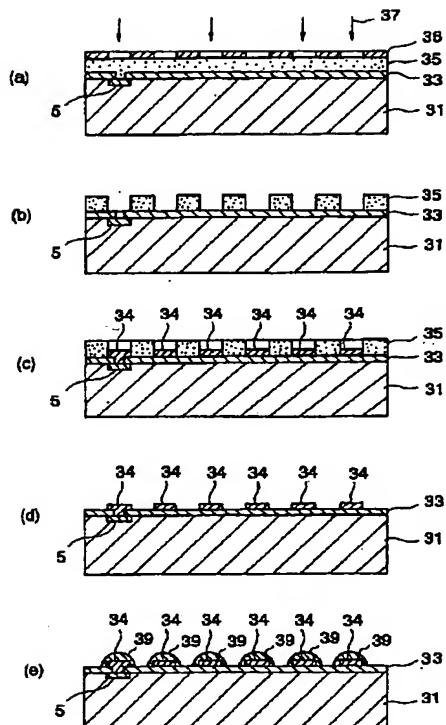
【図 17】



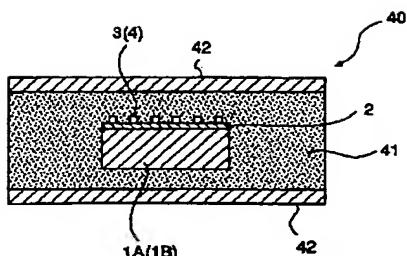
【図 19】



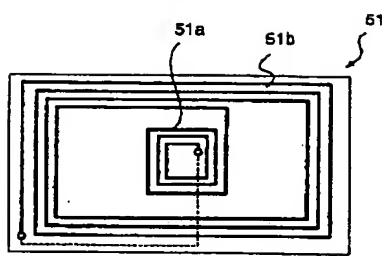
【図11】



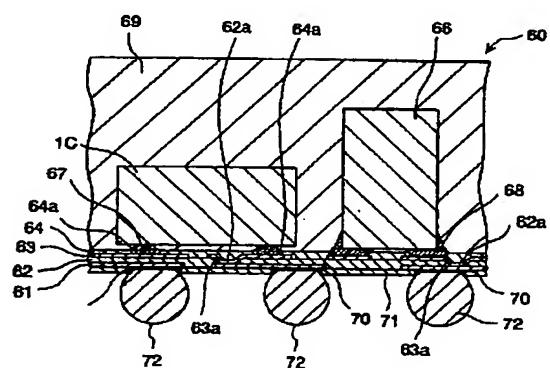
【図12】



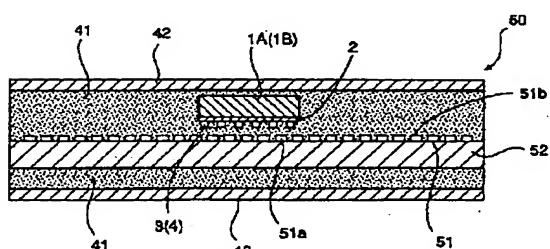
【図14】



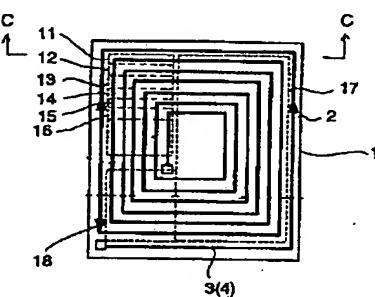
【図15】



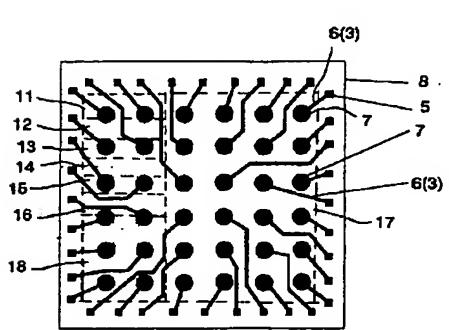
【図13】



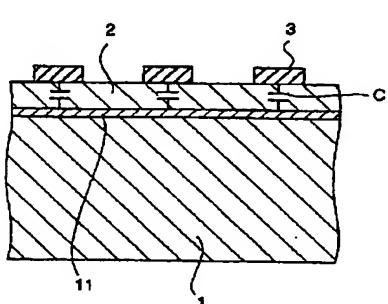
【図16】



【図18】



【図20】



フロントページの続き

(72)発明者 中川 和成
大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内

(72)発明者 日野 吉晴
大阪府茨木市丑寅一丁目1番88号 日立マ
クセル株式会社内
F ターム(参考) 5B035 AA11 BB09 CA23 CA31
5F038 AZ05 CA05 CA09 EZ20